



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Patentschrift
⑯ DE 102 06 149 C 1

⑯ Int. Cl. 7:
H 01 L 21/283
H 01 L 21/8247
H 01 L 21/768

⑯ Aktenzeichen: 102 06 149.1-33
⑯ Anmelddetag: 14. 2. 2002
⑯ Offenlegungstag: -
⑯ Veröffentlichungstag
der Patenterteilung: 25. 9. 2003

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑯ Patentinhaber:
ProMOS Technologies, Inc., Hsinchu, TW

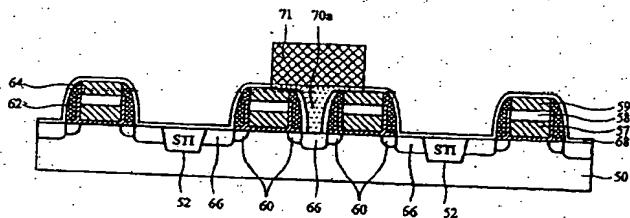
⑯ Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwahnhäuser,
80538 München

⑯ Erfinder:
Peng, Hsin-tang, Hsinchu, TW

⑯ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 41 13 962 C2
DE 196 29 736 A1
DE 101 07 125 A1
US 63 09 960 B1
US 62 14 658 B1

⑯ Verfahren zur Herstellung von Kontakten

⑯ Ein Verfahren zur Ausbildung von Kontaktstöpseln wird auf einem Halbleitersubstrat mit zumindest vier benachbarten Gateleiterstrukturen eingesetzt, wobei eine zweite Gateleiterstruktur und eine dritte Gateleiterstruktur innerhalb eines aktiven Bereichs vorgesehen sind. Zuerst wird der Zwischenraum zwischen der zweiten Gateleiterstruktur und der dritten Gateleiterstruktur mit einer ersten leitfähigen Schicht (70) gefüllt, die mittels CMP eingegeben wird. Mittels einer Photolackschicht (71) als Maske werden die nicht abgedeckten Teile der ersten leitfähigen Schicht (70) entfernt, so daß diese nur als die Kontaktfläche (70a) bildender Kontakt verbleibt. Dann wird eine Zwi-schenschichtdielektrikumsschicht (ILD-Schicht) mit einer eingegebenen Oberfläche auf der gesamten Oberfläche des Substrats ausgebildet, um die erste leitfähige Schicht abzudecken. Daraufhin wird ein Bitleitungskontaktloch in der ILD-Schicht ausgebildet, um die erste leitfähige Schicht freizulegen. Daraufhin wird das Bitleitungskontaktloch mit einer zweiten leitfähigen Schicht gefüllt, um als ein Bitleitungskontaktstöpsel zu dienen.



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Halbleiterverfahren, insbesondere ein Verfahren zur Herstellung eines Bitleitungskontakts.

[0002] Bei der Herstellung von Speicherbauteilen wie etwa DRAM des Grabentyps, gestapelte DRAM oder FLASH-Speicher wird zur Verringerung der Abmessungen eines Chips bei herkömmlichen Halbleiterverfahren die Vorgehensweise des selbstausgerichteten Kontakts (SAC) dazu verwendet, eine verringerte Entfernung zwischen zwei benachbarten Gatestrukturen auszubilden.

[0003] Die Fig. 1A bis 1H sind Schnittdarstellungen eines herkömmlichen Verfahrens zur Ausbildung von Kontaktstöpseln unter Verwendung des SAC-Prozesses. Wie aus Fig. 1A hervorgeht, ist ein Siliziumsubstrat 10 des P-Typs mit mehreren flachen Grabenisolierbereichen (STI-Bereichen) 12 in dem Substrat 10 versehen, um benachbarte aktive Bereiche (AA) zu isolieren, wird eine Gateisolierschicht 14 auf dem Substrat 10 ausgebildet, werden mehrere Gatestrukturen 161, 162, 163 und 164 als Muster auf der Gateisolierschicht 14 ausgebildet, und werden mehrere Ionenimplantierungsbereiche 20 des N⁺-Typs in dem Substrat 10 und in Bereichen in Querrichtung der Gatestrukturen 161 bis 164 ausgebildet. Jede der Gatestrukturen 161 bis 164 ist eine Stapelanordnung aus einer Polysiliziumschicht 17, einer Wolframsiliziumschicht 10, und einer Siliziumnitridabdeckschicht 19. Wie in Fig. 1B gezeigt, lässt man eine Siliziumoxidabstandsschicht 22 auf den Seitenwänden der Polysiliziumschicht 17 und der Wolframsiliziumschicht 10 aufwachsen, und dann wird eine Siliziumnitridabstandsschicht 24 auf den Seitenwänden der Gatestrukturen 161 bis 164 ausgebildet. Dann wird unter Einsatz von Ionenimplantierung mit den Gatestrukturen 161 bis 164 und der Siliziumnitridabstandsschicht 24 als Maske ein Ionenimplantierungsbereich 26 des N⁺-Typs in dem freiliegenden Ionenimplantierungsbereich 20 des N⁺-Typs ausgebildet. Hierdurch dient der Ionenimplantierungsbereich 26 des N⁺-Typs als Source/Drainbereich, und dient der übrigbleibende Ionenimplantierungsbereich 20 des N⁺-Typs als leicht dotierte Drainstruktur (LDD-Struktur).

[0004] Wie aus Fig. 1C hervorgeht, wird eine SiON-Zwischenlage 28 auf der gesamten Oberfläche des Substrats 10 abgelagert, und dann wird eine Zwischenschichtdielektrumsschicht (ILD-Schicht) 30 mit einer eingeebneten Oberfläche auf der SiON-Zwischenlage 28 ausgebildet, um die Lücken zwischen benachbarten Gatestrukturen 161 bis 164 durch Ablagerung und chemisch-mechanisches Polieren (CMP) auszufüllen.

[0005] Vorzugsweise besteht die ILD-Schicht 30 aus BPSG, HDP-Oxid, oder TEOS. Dann werden wie in Fig. 1D gezeigt, unter Verwendung einer ersten Photolackschicht 31 mit einem Muster des Bitleitungskontaktstöpsels als Maske die ILD-Schicht 30 und die SiON-Zwischenlage 28, die zwischen den beiden Gatestrukturen 162 und 163 ausgebildet wurden, entfernt, um den Ionenimplantierungsbereich 26 des N⁺-Typs freizulegen, wodurch ein Bitleitungskontaktloch 32 ausgebildet wird. Dann wird, wie in Fig. 1E gezeigt, nachdem die erste Photolackschicht 31 entfernt wurde, eine erste leitfähige Schicht abgelagert, um das Bitleitungskontaktloch 32 zu füllen, und dann auf eine vorbestimmte Höhe innerhalb des Bitleitungskontaktloches 32 rückgeätzt, so dass die erste leitfähige Schicht, die in dem Bitleitungskontaktloch 32 zurückbleibt, als Bitleitungskontaktstöpsel 34 dient.

[0006] Wie in Fig. 1F gezeigt wird unter Verwendung einer zweiten Photolackschicht 35 mit einem Muster aus Verbindungskontaktstöpseln als Maske ein Teil der ILD-

Schicht 30, der SiON-Zwischenlage 28 und der Siliziumnitridabdeckschicht 19 entfernt, um ein erstes Verbindungskontaktloch 36 und ein zweites Verbindungskontaktloch 38 auszubilden. Das erste Verbindungskontaktloch 36 wird

5 über der ersten Gatestruktur 161 ausgebildet, um die Oberseite der Wolframsiliziumschicht 10 freizulegen. Das zweite Verbindungskontaktloch 38 wird außerhalb der Gatestruktur 164 ausgebildet, um den Ionenimplantierungsbereich 26 des N⁺-Typs freizulegen. Dann wird wie in Fig. 1G gezeigt, nach Entfernung der zweiten Photolackschicht 35, eine dritte Photolackschicht 39 mit einem Muster aus Verbindungen als Maske dazu verwendet, vorbestimmte Bereiche der ILD-Schicht 30 zu ätzen. Schließlich wird, wie in Fig. 1H gezeigt, eine zweite leitfähige Schicht 40 auf der gesamten Oberfläche des Substrats 10 abgelagert, um das erste Verbindungskontaktloch 36 und das zweite Verbindungskontaktloch 38 auszufüllen. Dann wird CMP eingesetzt, um die Oberseite der zweiten leitfähigen Schicht 40 und die Oberseite der ILD-Schicht 30 einzubauen. Daher dient die zweite leitfähige Schicht 40, die auf der ILD-Schicht 30 vorgesehen ist, als Verbindungsstruktur 40a, und dient die zweite leitfähige Schicht 40, die in dem ersten/zweiten Verbindungskontaktloch 36/38 vorgesehen ist, als erster/zweiter Verbindungskontaktstöpsel 40b.

[0007] Der voranstehend geschilderte SAC-Prozess weist jedoch die nachstehend angegebenen Unzulänglichkeiten auf. Erstens wird, wenn der STI-Bereich 12 sehr groß ist, oder ein Problem in Bezug auf die Stufenhöhe zwischen AA und STI eine Fehlausrichtung bei der Photolithographie hervorruft, oder CMP nicht die ILD-Schicht 30 mit geeigneter Dicke und besserer Ebenheit ausbilden kann, das geätzte Profil des Kontaktloches beeinflusst, und werden Probleme in Bezug auf die Verbindungsstruktur hervorgerufen, beispielsweise ein Kurzschluß zwischen Bitleitung und Wortleitung, oder ein blindes Fenster in dem Bitleitungskontaktloch 32. Zweitens werden, da die Ätzselektivität von der ILD-Schicht 30 zu der SiON-Zwischenlage 28 nicht ausreichend groß ist, um Ätzstoppfähigkeiten während der Ausbildung des Bitleitungskontaktloches 32 zur Verfügung zu stellen, Säume möglicherweise in dem STI-Bereich 12 erzeugt, was ein Übergangsleck zwischen dem Bitleitungskontaktstöpsel 34 und dem Substrat 10 hervorruft. Drittens benötigt die Siliziumnitridabdeckschicht 19 eine große Dicke in dem SAC-Prozess, was die Wärmebilanz erhöht, und elektrische Eigenschaften verschlechtert, beispielsweise V_t , V_{dsat} , I_{off} . Wenn der SAC-Prozess zur Herstellung eines Bauteils mit weiter verringerten Abmessungen eingesetzt wird, werden viertens die Probleme bei der Photolithographie noch schwieriger. Fünftens sind die Materialien, die bei der Abdeckschicht 19 und der Abstandsschicht 24 eingesetzt werden, auf SiN oder SiON beschränkt, was das Leckproblem in der Polysiliziumschicht 17 erhöht.

[0008] Die DE 41 13 962 C2 beschreibt ein Verfahren gemäß dem Oberbegriff des vorliegenden Anspruchs 1.

[0009] Aus der DE 101 07 125 A1 ist bekannt, zum Herstellen von DRAMs eine Vorrichtung mit mehreren Gatestrukturen und aktiven Bereichen bereitzustellen und die Räume zwischen den Gatestrukturen mit einer Leitungsschicht aus Polysilizium zu füllen und mittels CMP zu planarisieren. In Zwischenräumen benachbarter Gateleiterstrukturen befindet sich im peripheren Bereich eine bereits vor der Leitungsschicht abgeschiedene erste Zwischenisolationschicht. Auf der Leitungsschicht wird eine zweite Zwischenisolationschicht abgeschieden, wobei allerdings die Räume zwischen den Gatestrukturen nicht mit dem Material der zweiten Zwischenisolationschicht gefüllt werden.

[0010] Auch die US 6 309 960 B1 lehrt, einen Kontakt aus Polysilizium zwischen Gatestrukturen in einen Teil ei-

ner Zwischenisolationsschicht mittels CMP herzustellen. Zu dem offenbart die US 6 309 960 B1 das simultane Ätzen von Kontaktlöcher auf ein Gate, auf den Polysilizium-Kontakt und auf ein Substrat. Um ein Überätzen des Substrats zu vermeiden, kann der Ätzstop auf dem Gate entfernt werden. [0011] Aus der DE 196 29 736 A1 ist ein Verfahren mit den Schritten (a) bis (c) des vorliegenden Anspruchs 10 bekannt. Dort wird ein Siliziumnitrid Ätzstop selektiv entfernt, um ein simultanes Herstellen von Kontaktlöchern in verschiedene Tiefen zu begünstigen.

[0012] Aus der US 6 214 658 B1 ist es bekannt, bei DRAMs den Raum zwischen Gatestrukturen mit Polysilizium zu füllen und dieses Polysilizium mittels Photolithographie und Ätzen in elektrisch getrennte Kontakte zu strukturieren, sowie nachfolgend darauf simultan getrennte Kontakte zu ätzen. Ein Einebnen des Polysiliziums mittels CMP wird nicht vorgenommen.

[0013] Es ist die Aufgabe der vorliegenden Erfindung, Verfahren bereitzustellen, die die Nachteile der aus dem Stand der Technik bekannten Problem vermeiden.

[0014] Diese Aufgabe wird durch die erfundungsgemäßen Verfahren gemäß den Ansprüchen 1 und 10 gelöst.

[0015] Ein wesentlicher Aspekt der Erfindung besteht darin, die Ausbildung des Bitleitungskontaktloches mit einem unzulänglichen Ätzprofil zu verhindern, sowie Kurzschlüsse in der Verbindungsstruktur und ein "blinder Fenster" zu verhindern.

[0016] Weitere Aspekte der Erfindung bestehen (i) in der Verhinderung der Ausbildung von Säumen in dem STI-Bereich, (ii) in der Bereitstellung eines stabilen Kontaktwiderstands zwischen dem Bitleitungskontaktstöpsel und dem Substrat, (iii) in der Verringerung des Wärmeaufwandes und in der Verbesserung der elektrischen Eigenschaften des Erzeugnisses, (iv) darin, dass sie zur Herstellung eines Bauteils mit noch weiter verringerten Abmessungen eingesetzt werden kann, ohne dass bei der Photolithographie Probleme auftreten, und (v) in der Erhöhung der Selektivität des Einsatzes von Materialien.

[0017] Die Erfindung wird nachstehend anhand zeichnerisch dargestellter Ausführungsbeispiele näher erläutert, aus welchen weitere Vorteile hervorgehen. Es zeigen:

[0018] Fig. 1A bis 1H Schnittdarstellungen eines herkömmlichen Verfahrens zur Ausbildung von Kontaktstöpseln unter Verwendung des SAC-Prozesses;

[0019] Fig. 2A bis 2J Schnittdarstellungen eines Verfahrens zur Herstellung von Kontaktstöpseln gemäß der vorliegenden Erfindung.

[0020] Gleiche Bezugszeichen bezeichnen entsprechende Merkmale in sämtlichen Zeichnungen.

[0021] Die Fig. 2A bis 2J sind Schnittdarstellungen eines Verfahrens zur Ausbildung von Kontaktstöpseln gemäß der vorliegenden Erfindung. Wie in Fig. 2A gezeigt, ist ein Siliziumsubstrat 50 des P-Typs mit zumindest zwei STI-Bereichen 52 versehen, um einen aktiven Bereich AA zu isolieren, ist eine Gateisolierschicht 54 auf dem Substrat 50 vorgesehen, sind mehrere Gatestrukturen 561, 562, 563 und 564 als Muster auf der Gateisolierschicht 54 vorhanden, und sind mehrere Ionenimplantierungsbereiche 60 des N⁻-Typs in dem Substrat 50 und in Bereichen in Querrichtung der Gatestrukturen 561 bis 564 vorhanden. Jede der Gatestrukturen 561 bis 564 ist ein Stapel aus einer Polysiliziumschicht 57, einer Wolframsilizidschicht 58, und einer Abdeckschicht 59. Vorzugsweise wird das Material, das zur Ausbildung der Abdeckschicht 59 eingesetzt wird, unter SiN, SiON oder Siliziumoxid ausgewählt.

[0022] Wie in Fig. 2B gezeigt ist, wird eine erste Abstandsschicht 62 auf den freiliegenden Seitenenden der Polysiliziumschicht 57 und der Wolframsilizidschicht 58 aus-

gebildet, und wird dann eine zweite Abstandsschicht 64 auf den freiliegenden Seitenwänden der Gatestrukturen 561 bis 564 ausgebildet. Vorzugsweise besteht die erste Abstandsschicht 62 aus Siliziumoxid, und wird die zweite Abstandsschicht 64 unter SiN, SiON oder Siliziumoxid ausgewählt. Daraufhin werden, unter Verwendung der Gatestrukturen 561 bis 564 und der zweiten Abstandsschicht 64 als Maske, Ionenimplantierungsbereiche 66 des N⁺-Typs jeweils in den freiliegenden Ionenimplantierungsbereichen 60 des N⁻-Typs ausgebildet. Daher dient der Ionenimplantierungsbereich 66 des N⁺-Typs als Source/Drainbereich, und dient der Ionenimplantierungsbereich 60 des N⁻-Typs als leicht dotierte Drainstruktur (LDD-Struktur).

[0023] Wie in Fig. 2C gezeigt, wird eine Zwischenlage 68 aus SiON, SiN, oder Siliziumoxid auf der gesamten Oberfläche des Substrats 50 abgelagert. Dann wird, wie in Fig. 2D gezeigt, unter Verwendung von Photolithographie und Ätzung mit einer ersten Photolackschicht 69 als Maske, die Zwischenlage 68, die auf einem Teil der Oberseite der zweiten/dritten Gatestruktur 562/563 angeordnet ist, und auf dem Ionenimplantierungsbereich 66 des N⁺-Typs zwischen der zweiten Gatestruktur 562 und der dritten Gatestruktur 563 vorgesehen ist, entfernt. Daraufhin wird, wie in Fig. 2E gezeigt, nach Entfernen der ersten Photolackschicht 69, eine erste leitfähige Schicht 70 mit einer eingeebneten Oberfläche auf der gesamten Oberfläche des Substrats 50 mittels Ablagerung und CMP hergestellt. Vorzugsweise ist die Oberseite der ersten leitfähigen Schicht 70 ebenso hoch oder höher als die Oberseite der Zwischenlage 68, die oben auf den Gatestrukturen 561 bis 564 übrigbleibt. Das zur Ausbildung der ersten leitfähigen Schicht 70 verwendete Material ist Polysilizium oder irgendein anderes leitfähiges Material. Dann wird, wie in Fig. 2F gezeigt, unter Verwendung einer zweiten Photolackschicht 71 als Maske, und unter Verwendung der Zwischenlage 68 als Ätzstoppschicht, der Hauptanteil der ersten leitfähigen Schicht 70 entfernt, so dass die erste leitfähige Schicht 70 nur im Zwischenraum zwischen der zweiten Gatestruktur 562 und der dritten Gatestruktur 563 übrigbleibt, und als Kontaktfläche 70a dient.

[0024] Wie in Fig. 2 G gezeigt wird, nach Entfernen der zweiten Photolackschicht 71, eine ILD-Schicht 72 mit einer eingeebneten Oberfläche auf der gesamten Oberfläche des Substrats 50 ausgebildet, um die Zwischenräume zwischen benachbarten Gatestrukturen 561 bis 564 mittels Ablagerung und CMP zu füllen. Vorzugsweise besteht die ILD-Schicht 72 aus BPSG, HDP-Oxid, TEOS-Oxid, oder aus einer Kombination dieser Substanzen. Dann werden, wie in Fig. 2H gezeigt, unter Verwendung einer dritten Photolackschicht 73 mit einem Muster aus Kontaktlöchern als Maske, Teile der ILD-Schicht 72, der SiON-Zwischenlage 68 und der Abdeckschicht 59 entfernt, um ein drittes Kontaktloch, ein Bitleitungskontaktloch 741 ein erstes Kontaktloch 742, und ein zweites Kontaktloch 743 und ein drittes Kontaktloch, ein Bitleitungskontaktloch 741 auszubilden. Das Bitleitungskontaktloch 741 legt die Kontaktfläche 70a zwischen der zweiten Gatestruktur 562 und der dritten Gatestruktur 563 frei. Das erste Verbindungskontaktloch 742 befindet sich über der ersten Gatestruktur 561, um die Oberseite der Wolframsilizidschicht 58 freizulegen. Das zweite Verbindungskontaktloch 743 befindet sich außerhalb der vierten Gatestruktur 564, um den Ionenimplantierungsbereich 66 des N⁺-Typs freizulegen.

[0025] Wie in Fig. 2I gezeigt wird, nach Entfernen der dritten Photolackschicht 73, eine vierte Photolackschicht 75 mit einem Muster aus Verbindungen als Maske dazu eingesetzt, einen Teil der ILD-Schicht 72 zu entfernen. Schließlich wird, wie in Fig. 2J gezeigt, nach Entfernen der vierten Photolackschicht 75, eine zweite leitfähige Schicht 76 auf

der gesamten Oberfläche des Substrats 50 abgelagert, um das Bitleitungskontaktloch 741, das erste Kontaktloch 742 und das zweite Kontaktloch 743 zu füllen, und dann wird CMP dazu eingesetzt, die Oberflächen der zweiten Festlegungen Schicht 76 und der ILD-Schicht 72 einzubebnen. Vorfangsweise besteht die zweite leitfähige Schicht 76 aus Polysilizium, Wolfram, oder anderen leitfähigen Materialien. Die zweite leitfähige Schicht 76b, die in den Kontaktlöchern 741, 742 und 743 übrigbleibt, dient jeweils als Bitleitungskontaktstöpsel, als ein erster Kontaktstöpsel bzw. ein zweiter Kontaktstöpsel. Die zweite leitfähige Schicht 76a, die auf den Kontaktstöpseln übrigbleibt, dient als Bitleitungs-Verbindungsstruktur.

[0026] Verglichen mit der Ausbildung des Bitleitungskontaktlochs nach dem Stand der Technik weist die vorliegende Erfindung insbesondere die nachstehend angegebenen Vorteile auf. Erstens vermeidet, da die Ätzselektivität von Polysilizium in Bezug auf Siliziumoxid hoch ist, die Ausbildung des Bitleitungskontaktlochs 741 über der Kontaktfläche 70a die Probleme eines unzureichenden Ätzprofils, von Kurzschlüssen in der Verbindungsstruktur, und eines blinden Fensters, die durch den herkömmlichen SAC-Prozess hervorgerufen werden. Zweitens wird die erste Photolackschicht 69 als die Maske zum Entfernen der Zwischenlage 68 zwischen der zweiten Gateleiterschicht 562 und der dritten leitenden Schicht 563 verwendet, so dass die Tiefe der Ausnehmung des freiliegenden Siliziums nicht groß werden kann, so dass die Ausbildung von Säumen in dem STI-Bereich 52 verhindert wird. Hierdurch wird ein Übergangsleck zwischen dem Substrat 50 und dem Kontaktstöpsel 76b verhindert. Drittens wird ein guter ohm'scher Kontakt zwischen dem Bitleitungskontaktstöpsel 76b, der Kontaktfläche 70a und dem Substrat 50 ausgebildet, was zu einem stabilen Kontaktwiderstand führt. Viertens wird die Abdeckschicht 59 mit geringerer Dicke dazu verwendet, den Wärmeaufwand zu verringern, und die elektrischen Eigenschaften des Erzeugnisses zu verbessern. Fünftens kann die vorliegende Erfindung zur Herstellung eines Bauteils mit noch weiter verringerten Abmessungen eingesetzt werden, ohne dass in Bezug auf die Photolithographie Probleme auftreten. Sechstens sind die Materialien, die bei der Abdeckschicht 59 und der zweiten Abstandsschicht 64 eingesetzt werden, nicht nur SiN und SiON, sondern auch Siliziumoxid. Dies erhöht die Selektivität der Verwendung von Materialien zur Ausbildung der Abdeckschicht 59 und der zweiten Abstandsschicht 64. Bei einer bevorzugten Ausführungsform besteht, wenn die Zwischenlage 68 aus Siliziumnitrid besteht, die ILD-Schicht 72 aus BPSG. Bei einer weiteren bevorzugten Ausführungsform wird, wenn die Zwischenlage 68 aus Siliziumoxid besteht, das zur Herstellung der ILD-Schicht 72 verwendete Material aus dielektrischen Materialien ausgewählt, die kein Bor oder Phosphor enthalten. Hierdurch wird eine Diffusion von Borionen oder Phosphorionen in das Substrat 50 verhindert, um die Stabilität des Bauteils sicher zu stellen.

[0027] Es wird darauf hingewiesen, dass die vorliegende Erfindung nicht auf die voranstehenden Ausführungsformen beschränkt ist, da sich Wesen und Umfang der vorliegenden Erfindung aus der Gesamtheit der Anmeldeunterlagen ergeben und von den beigefügten Patentansprüchen umfasst sein sollen.

turen (561, 562, 563, 564) und aktiven Bereichen (AA);

(b) Füllen des Raumes zwischen der zweiten und dritten Gatestruktur (562, 563) mit einer ersten leitfähigen Schicht (70), wobei die erste leitfähige Schicht (70) auf der gesamten Oberfläche des Substrats (50) abgelagert wird und anschließend außerhalb des Raumes zwischen der zweiten und dritten Gatestruktur (562, 563) mittels Photolithographie und Ätzen entfernt wird;

(c) Ausbilden einer Zwischenschichtdielektrikumsschicht (72) auf der gesamten Oberfläche des Substrats (50), so dass die erste leitfähige Schicht (70) abgedeckt wird und der Raum zwischen den Gatestrukturen (561, 562) und der Raum zwischen den Gatestrukturen (563, 564) gefüllt wird; und

(d) Ausbilden eines Bitleitungskontaktlochs (741) in der Zwischenschichtdielektrikumsschicht (72) und Freilegen der ersten leitfähigen Schicht (70); und

(e) Füllen des Bitleitungskontaktlochs (741) mit einer zweiten leitfähigen Schicht (76), um als Bitleitungskontaktstöpsel zu dienen;

dadurch gekennzeichnet, dass

im Schritt (b) vor dem Entfernen der ersten leitfähigen Schicht (70) mittels Photolithographie und Ätzen ein Eneben der ersten leitfähigen Schicht (70) mittels chemisch-mechanischen Polierens durchgeführt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die erste leitfähige Schicht (70) aus Polysilizium besteht.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Eneben der Oberfläche der ersten leitfähigen Schicht (70) so lange durchgeführt wird, bis die Oberseite der ersten leitfähigen Schicht (70) eine Höhe erreicht, die gleich der Höhe der Oberseite jeder Gatestruktur (561, 562, 563, 564) oder etwas höher ist.

4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass jede der Gatestrukturen (561, 562, 563, 564) eine Gateelektrodenschicht und eine Abdeckschicht (59) aufweist.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass das zum Ausbilden der Abdeckschicht (59) eingesetzte Material aus der Gruppe der Materialien SiN, SiON und Siliziumoxid ausgewählt wird.

6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das zum Ausbilden der Zwischenschichtdielektrikumsschicht (72) verwendete Material aus der Gruppe der Materialien BPSG, HDP-Oxid und TEOS-Oxid ausgewählt wird.

7. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass im Schritt (d) in der Zwischenschichtdielektrikumsschicht (72) ein erstes Kontaktloch (742) und ein zweites Kontaktloch (743) zum gleichen Zeitpunkt ausbildet werden, zu welchem das Bitleitungskontaktloch (741) ausgebildet wird, wobei das erste Kontaktloch (742) die Oberseite der ersten Gatestruktur (561) freilegt, und das zweite Kontaktloch (743) das Substrat (50) außerhalb der vierten Gatestruktur (564) freilegt.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass im Schritt (d) das erste Kontaktloch (742) und das zweite Kontaktloch (743) mit der zweiten leitfähigen Schicht (76) gefüllt werden, um als ein erster Kontaktstöpsel und ein zweiter Kontaktstöpsel zu dienen.

9. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Substrat einen ersten flachen Grabenisolierbereich zwischen der ersten Gatestruktur (561) und

Patentansprüche

1. Verfahren zur Herstellung von Kontakten in einer DRAM-Struktur, mit den folgenden Schritten:

(a) Bereitstellen eines Halbleitersubstrats (50) mit ersten, zweiten, dritten und vierten Gatestruk-

der zweiten Gatestruktur (562) aufweist, sowie einen zweiten flachen Grabenisolierbereich zwischen der dritten Gatestruktur (563) und der vierten Gatestruktur (564) aufweist, wobei der erste und der zweite flache Grabenisolierbereich den aktiven Bereich festlegen.

10. Verfahren zur Herstellung von Kontakten mit folgenden Schritten:

- (a) Bereitstellen eines Halbleitersubstrats (50) mit ersten, zweiten, dritte und vierten Gatestrukturen (561, 562, 563, 564) und aktiven Bereichen (AA);
- (b) Ausbilden einer Zwischenlage (68) auf der gesamten Oberfläche des Substrats (50);
- (c) Entfernen der Zwischenlage (68), die auf der Oberseite der zweiten und der dritten Gatestruktur (562, 563) vorgesehen ist, sowie der Zwischenlage (68), die auf dem Substrat (50) zwischen der zweiten und der dritten Gatestruktur (562, 563) vorgesehen ist;
- (d) Füllen des Raumes zwischen der zweiten und der dritten Gatestruktur (562, 563) mit einer ersten leitfähigen Schicht (70), wobei die erste leitfähige Schicht (70) auf der gesamten Oberfläche des Substrats (50) abgelagert wird und anschließend außerhalb des Raumes zwischen der zweiten und dritten Gatestruktur (562, 563) mittels Photolithographie und Ätzen entfernt wird;
- (e) Ausbilden einer Zwischenschichtdielektrikumsschicht (72) mit einer eingeebneten Oberfläche auf der gesamten Oberfläche des Substrats (50), um die erste leitfähige Schicht (70) abzudecken, sowie den Raum zwischen der ersten und der zweiten Gatestruktur (561, 562) und den Raum zwischen der dritten und der vierten Gatestruktur (563, 564) zu füllen;
- (f) Ausbilden eines ersten Kontaktlochs (742), eines zweiten Kontaktlochs (743) und eines dritten Kontaktlochs (741) in der Zwischenschichtdielektrikumsschicht (72), wobei das erste Kontaktloch (742) die Oberseite der ersten Gatestruktur (561) freilegt, das zweite Kontaktloch (743) das Substrat (50) außerhalb der vierten Gatestruktur (564) freilegt, und das dritte Kontaktloch (741) die erste leitfähige Schicht (72) freilegt; und
- (g) Füllen des ersten, zweiten und dritten Kontaktlochs (742, 749, 741) mit einer zweiten leitfähigen Schicht (76), wobei die zweite leitfähige Schicht (76) in dem dritten Kontaktloch (741) als Bitleitungskontaktstössel dient; wobei im Schritt (d) vor dem Entfernen der ersten leitfähigen Schicht (70) mittels Photolithographie und Ätzen ein Einebnen der ersten leitfähigen Schicht (70) mittels chemisch-mechanischen Polierens durchgeführt wird.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die erste leitfähige Schicht aus Polysilizium hergestellt wird.

12. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass das Einebnen der Oberfläche der ersten leitfähigen Schicht mittels chemisch-mechanischen Polierens so lange durchgeführt wird, bis die Oberseite der ersten leitfähigen Schicht (70) eine Höhe erreicht, die gleich der Höhe der Oberseite jeder Gatestruktur (561, 562, 563, 564) oder etwas höher ist.

13. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass das zum Ausbilden der Zwischenlage verwendete Material aus der Gruppe der Materialien SiN, SiON und Siliziumoxid ausgewählt wird.

14. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass jede der Gatestrukturen (561, 562, 563, 564) eine Gateelektrodenschicht und eine Abdeckschicht (59) aufweist.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass das zur Ausbildung der Abdeckschicht (59) verwendete Material aus der Gruppe ausgewählt wird, die aus SiN, SiON und Siliziumoxid besteht.

16. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass das zum Ausbilden der Zwischenschichtdielektrikumsschicht (72) verwendete Material aus der Gruppe der Materialien BPSG, HDP-Oxid und TEOS-Oxid ausgewählt wird.

17. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass auf den Seitenwänden jeder Gatestruktur (561, 562, 563, 564) eine Abstandsschicht (64) ausgebildet wird.

18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, dass das zum Ausbilden der Abstandsschicht (64) verwendete Material zumindest eines aus jener Gruppe ist, die aus SiN, SiON und Siliziumoxid besteht.

19. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass das Substrat (50) einen ersten flachen Grabenisolierbereich zwischen der ersten Gatestruktur (561) und der zweiten Gatestruktur (562) aufweist, sowie einen zweiten flachen Grabenisolierbereich zwischen der dritten Gatestruktur (563) und der vierten Gatestruktur (564) aufweist, wobei der erste und der zweite flache Grabenisolierbereich den aktiven Bereich festlegen.

Hierzu 18 Seite(n) Zeichnungen

- Leerseite -

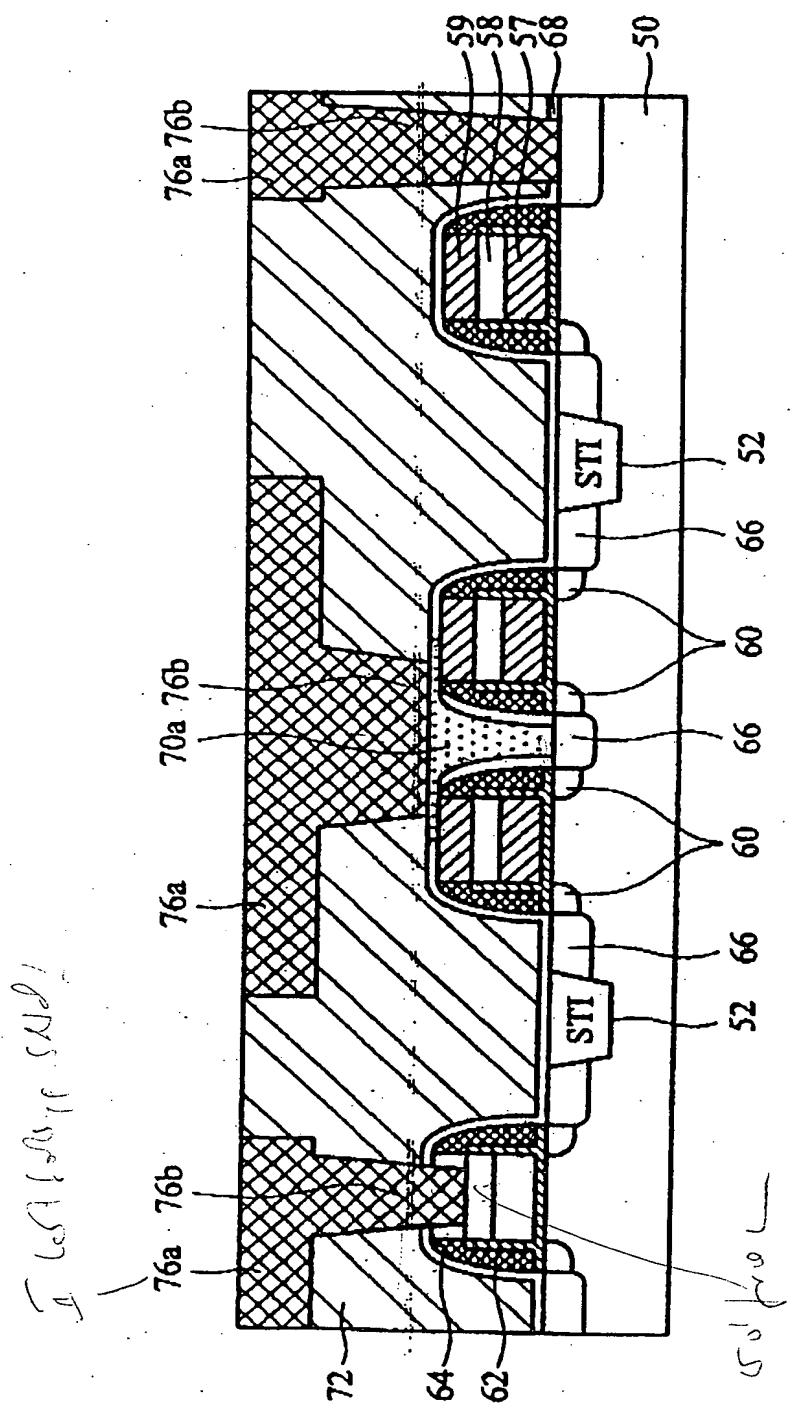


FIG. 2J

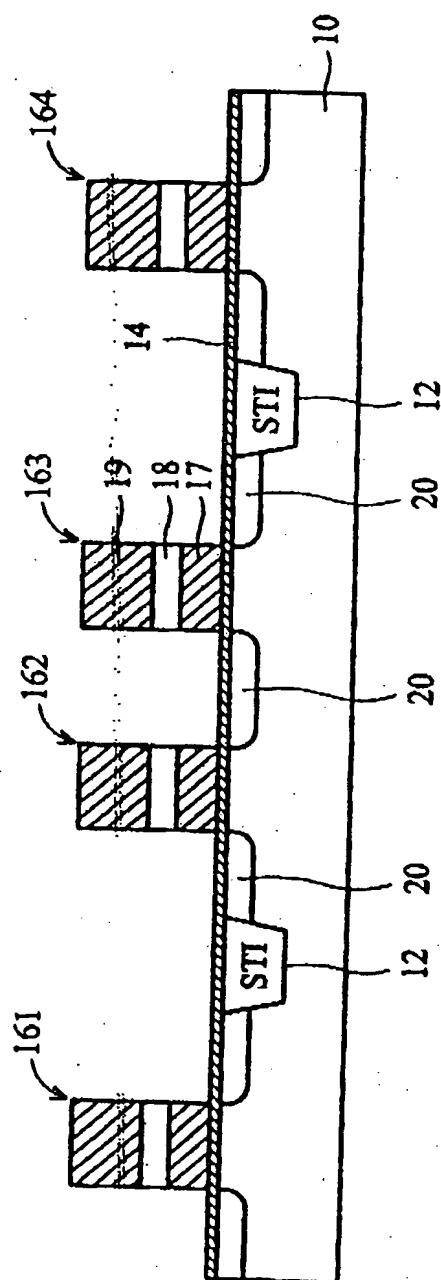


FIG. 1A STAND DER TECHNIK

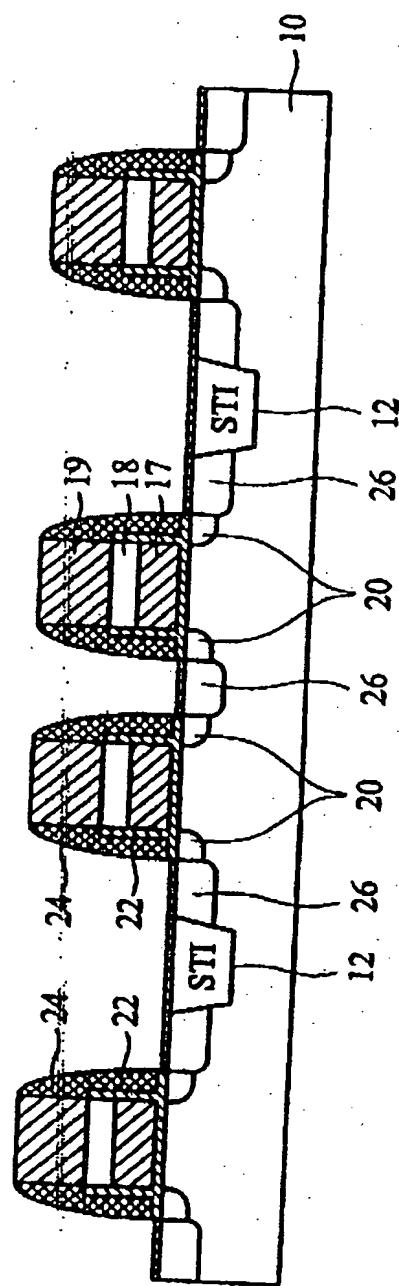


FIG. 1B STAND DER TECHNIK

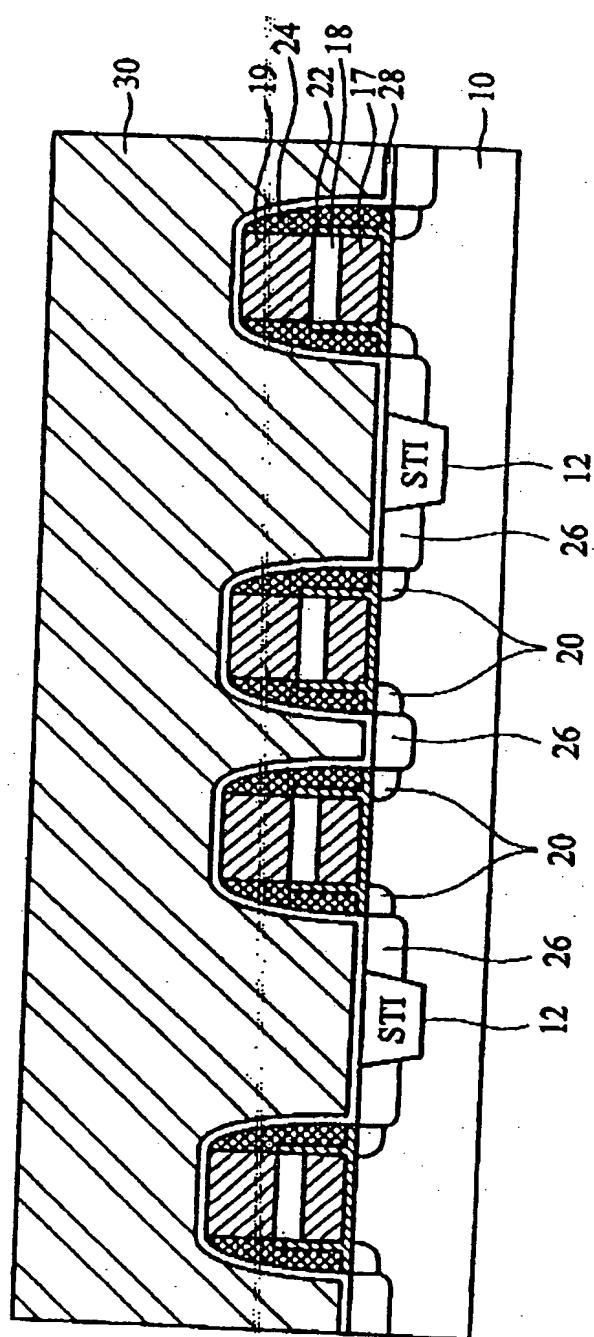


FIG. 1C STAND DER TECHNIK

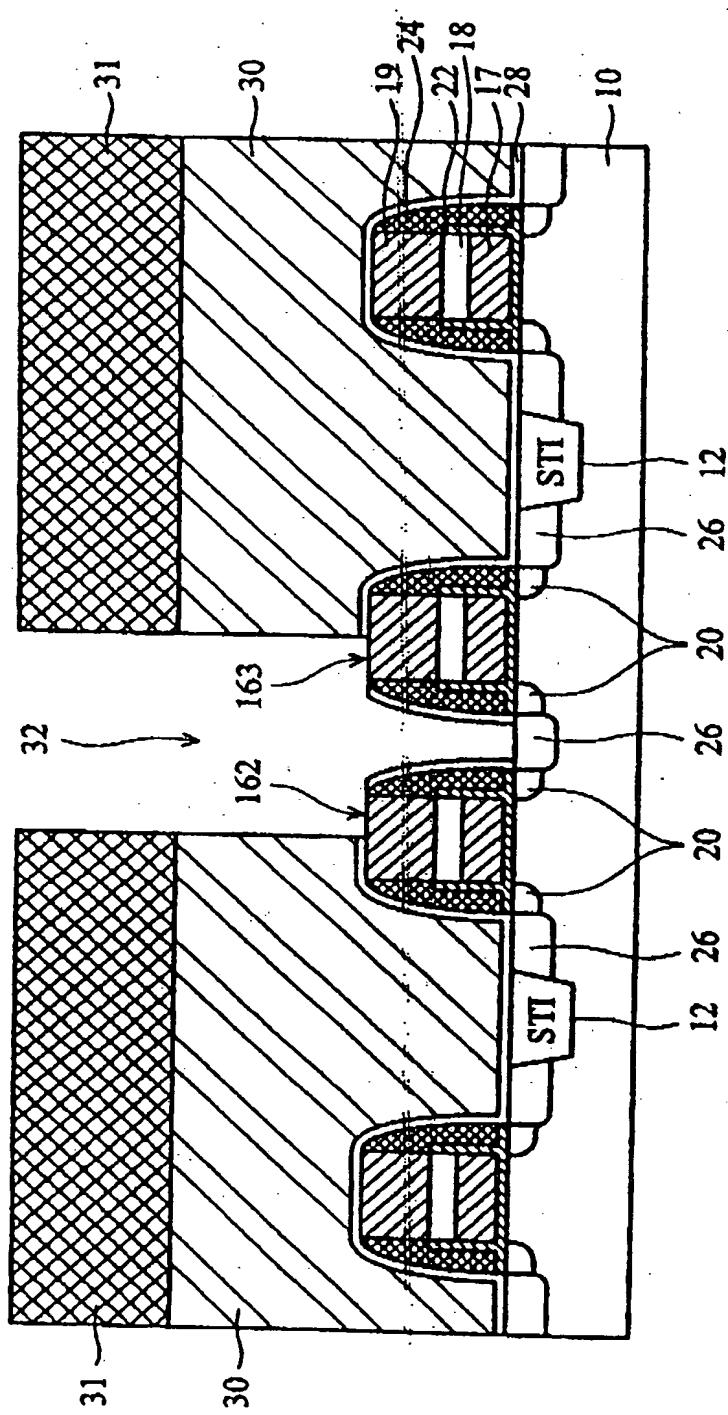


FIG. 1D STAND DER TECHNIK

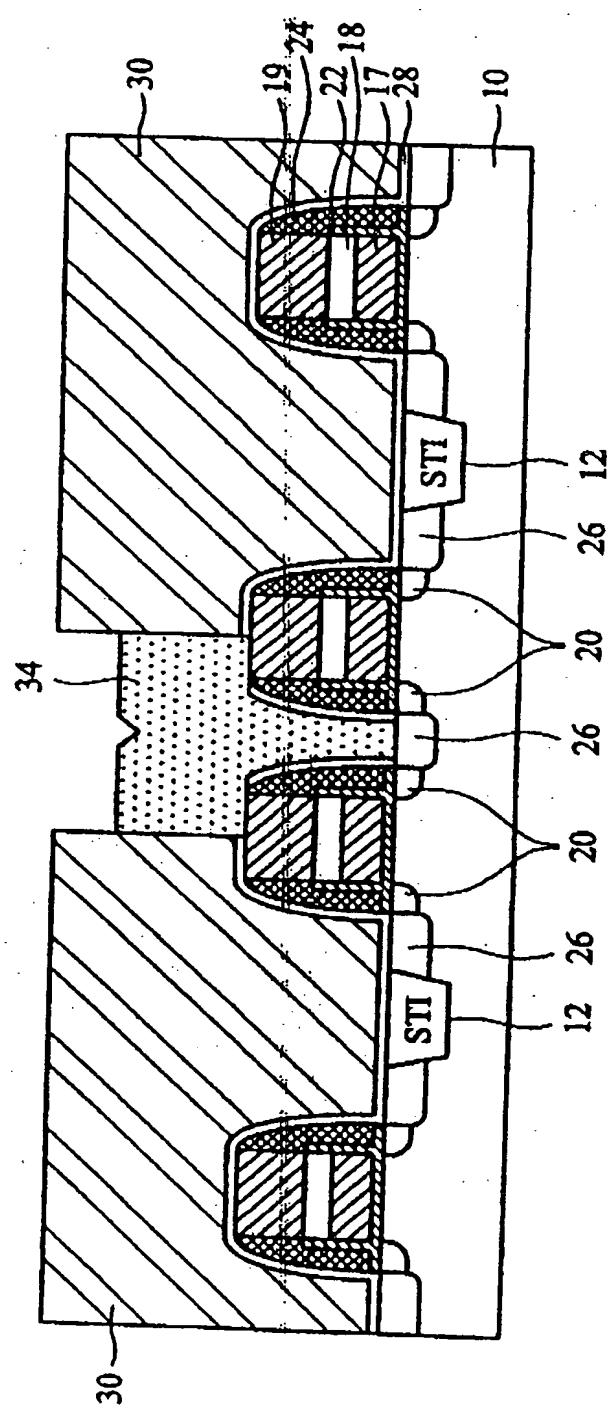


FIG. 1E STAND DER TECHNIK

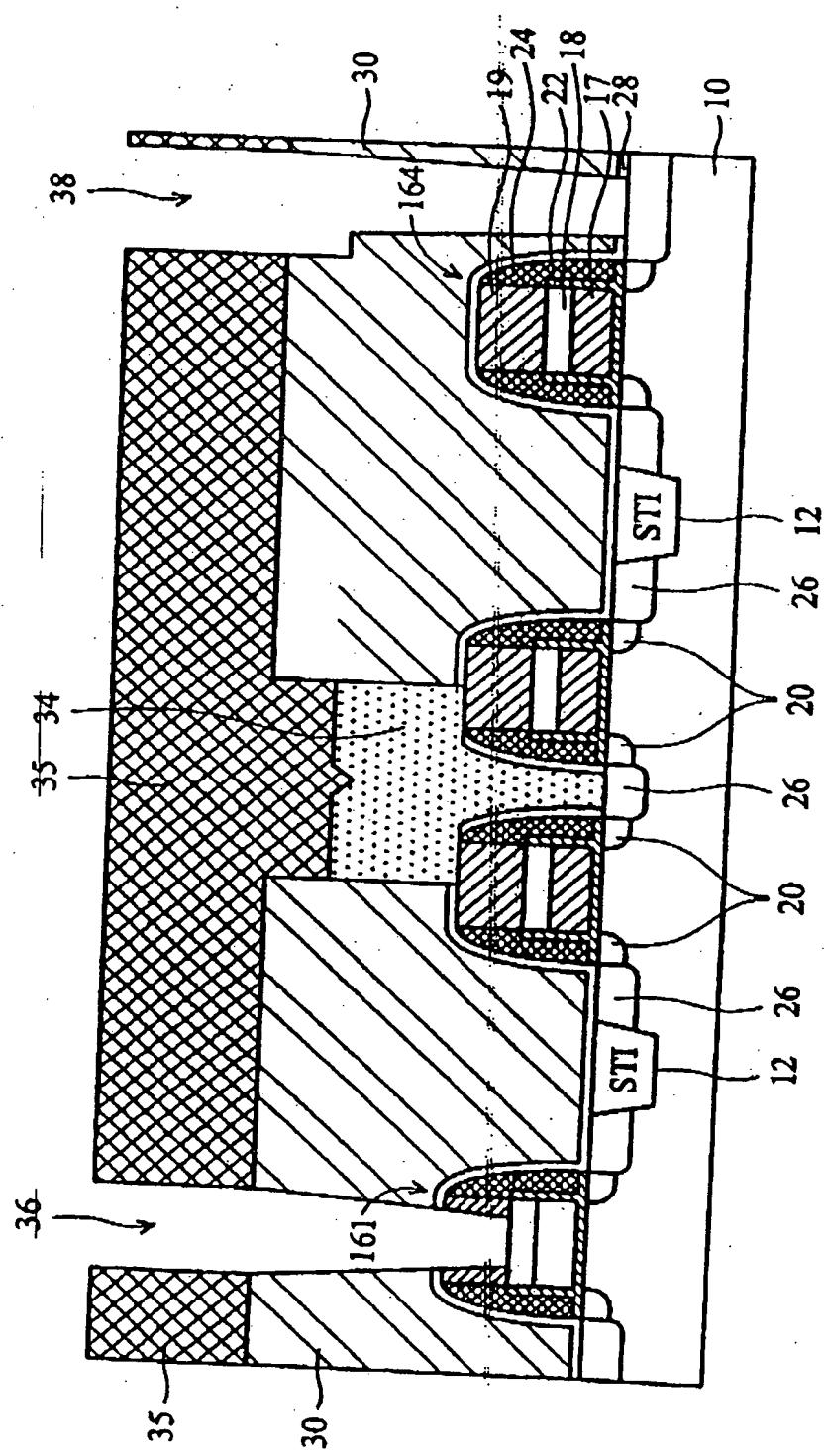


FIG. 1F STAND DER TECHNIK

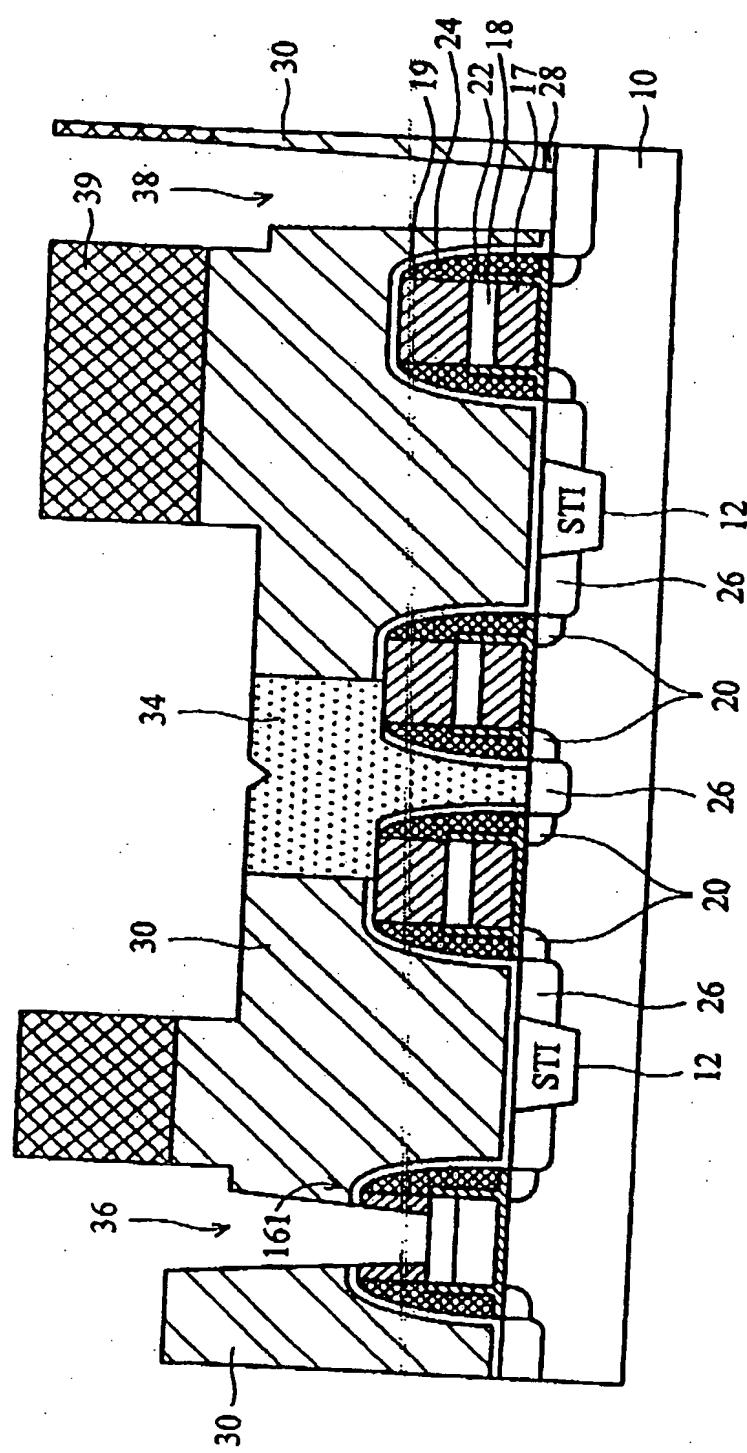


FIG. 1G, STAND DER TECHNIK

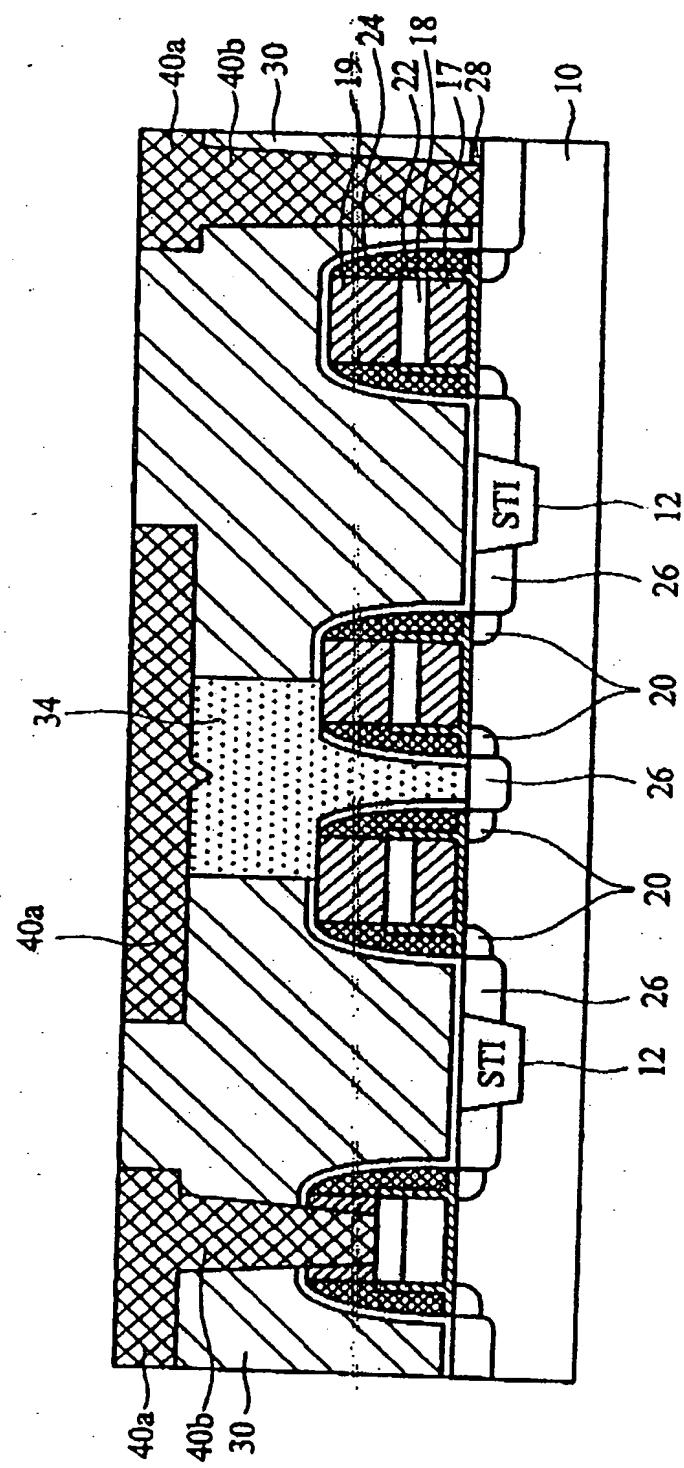


FIG. 1H STAND DER TECHNIK

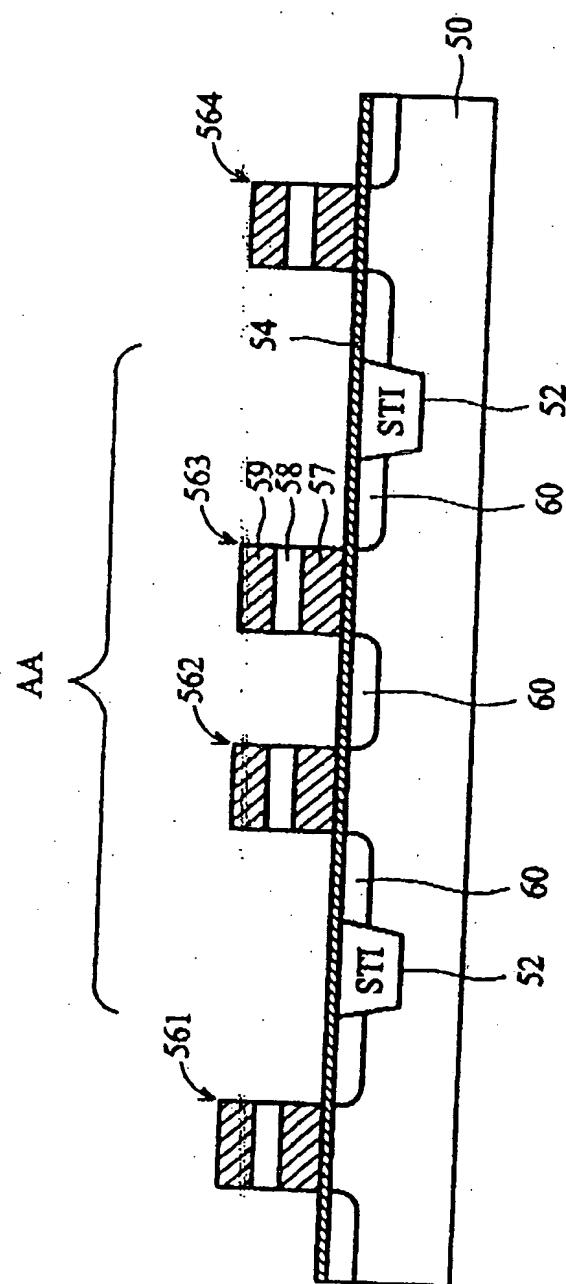


FIG. 2A

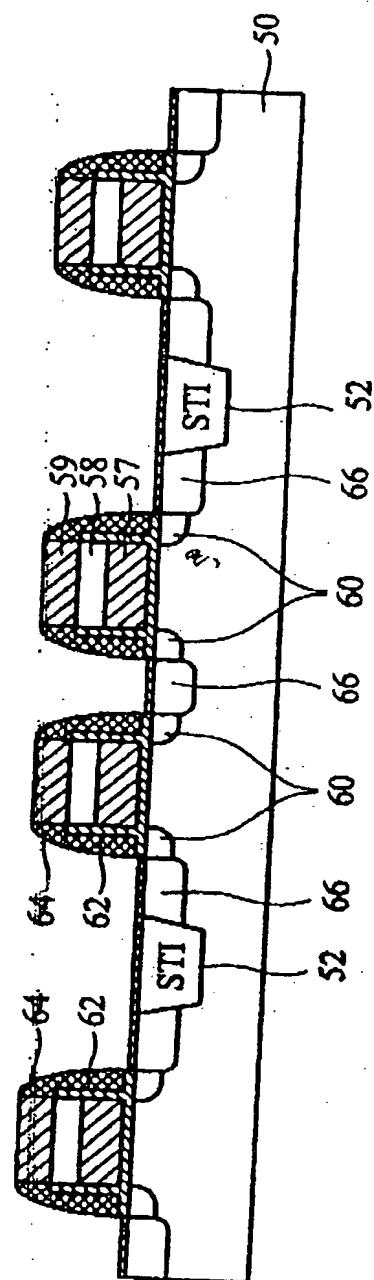


FIG. 2B

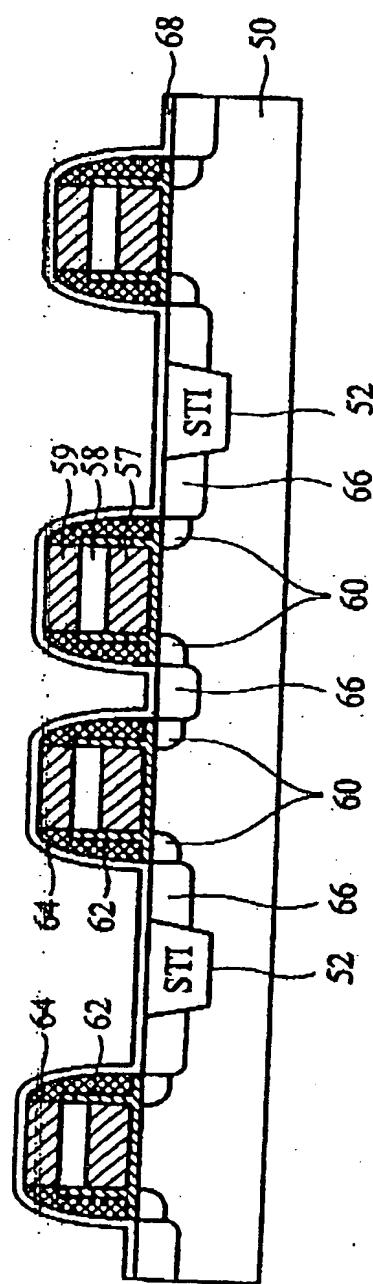


FIG. 2C

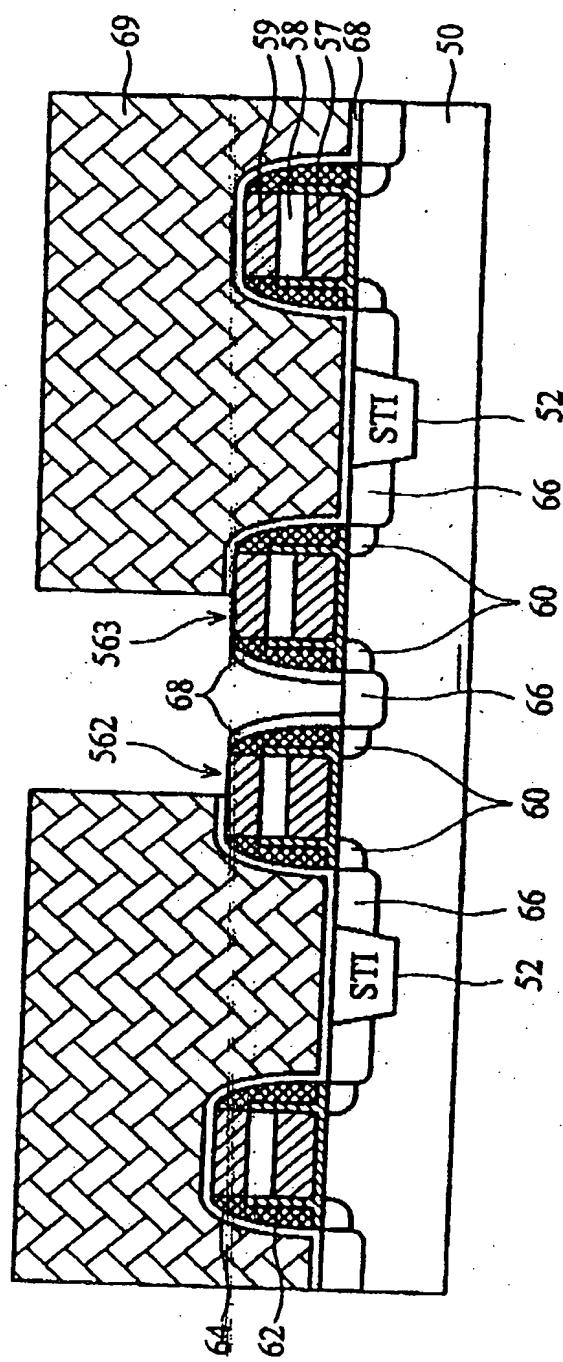


FIG. 2D

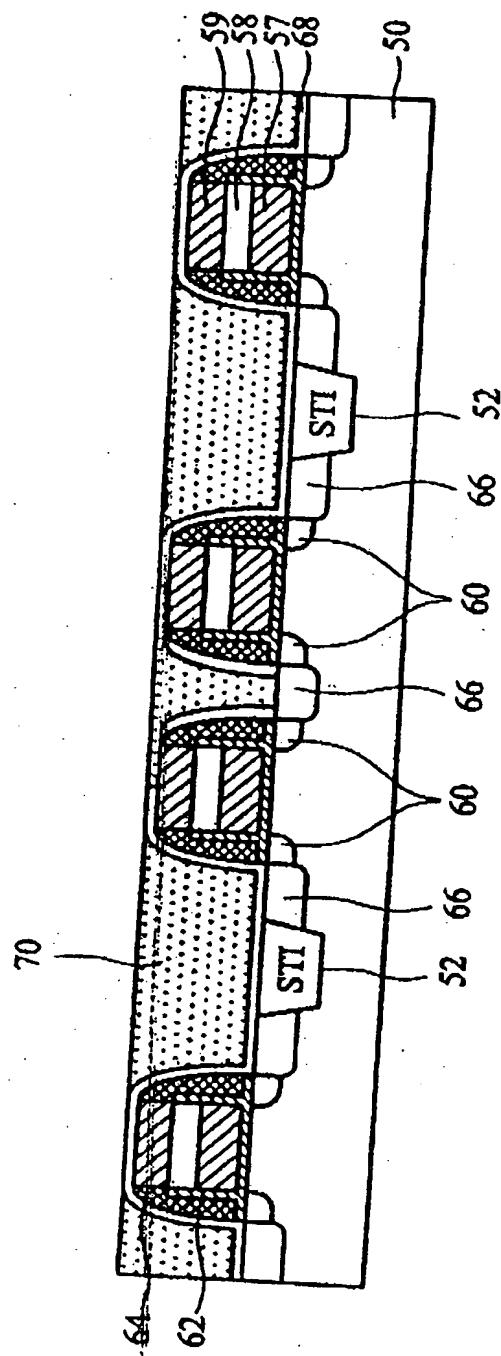


FIG. 2E

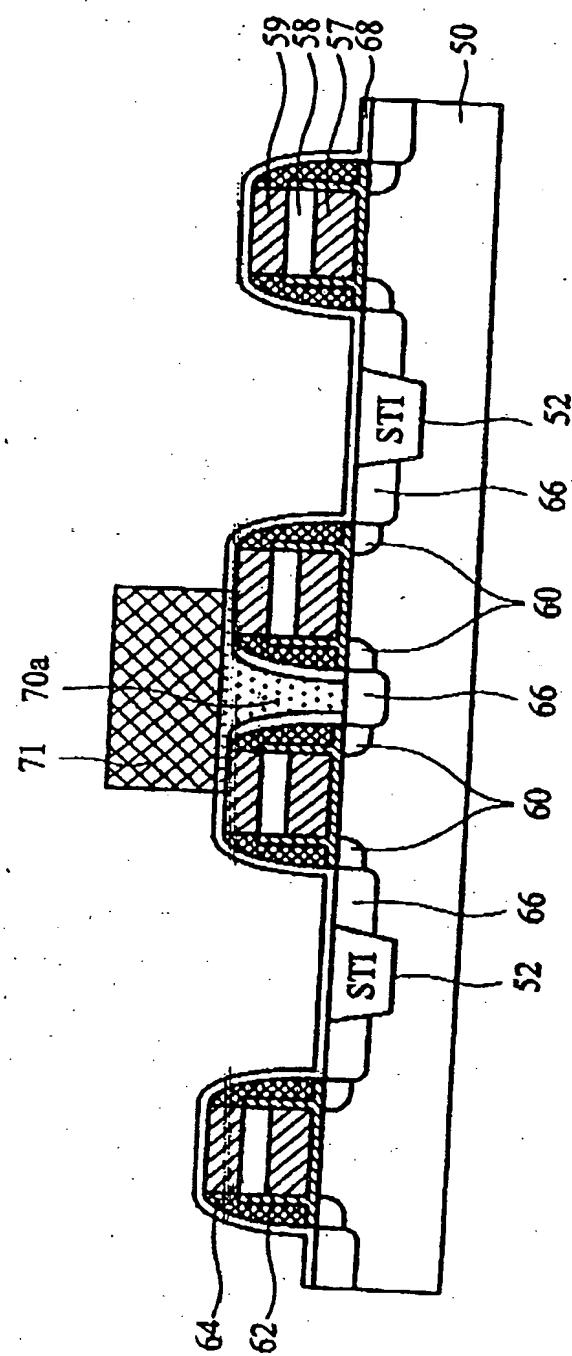


FIG. 2F

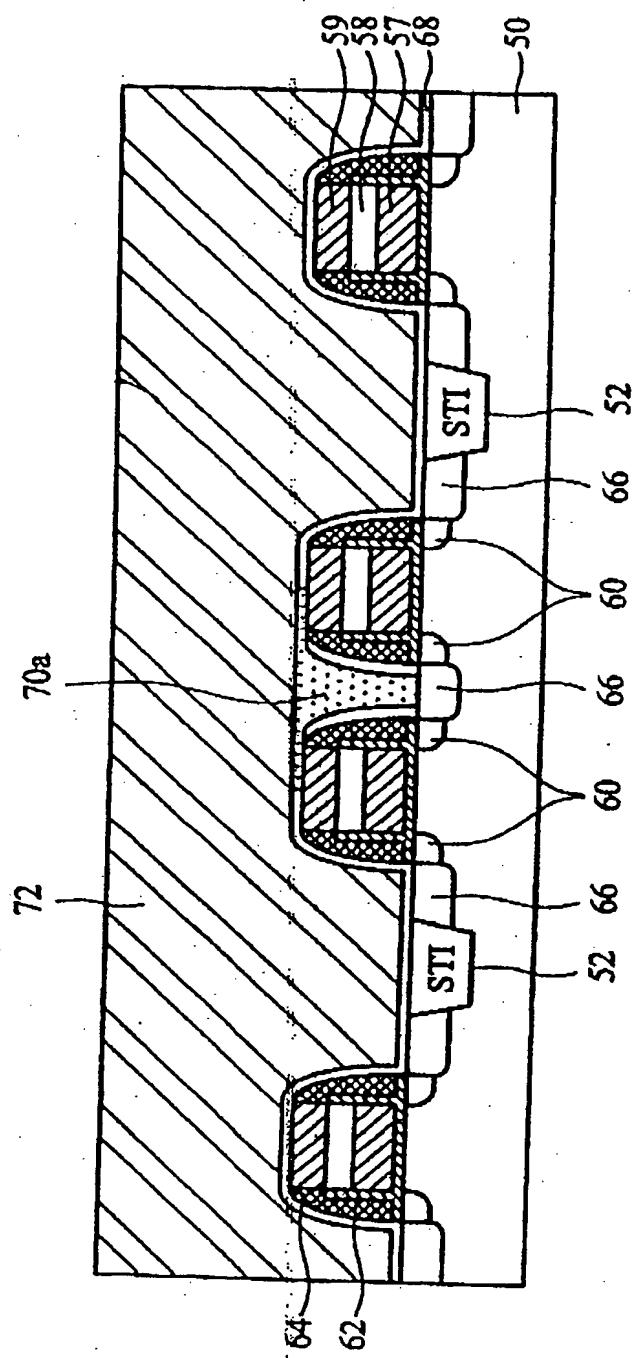


FIG. 2G

Platzhalter
1

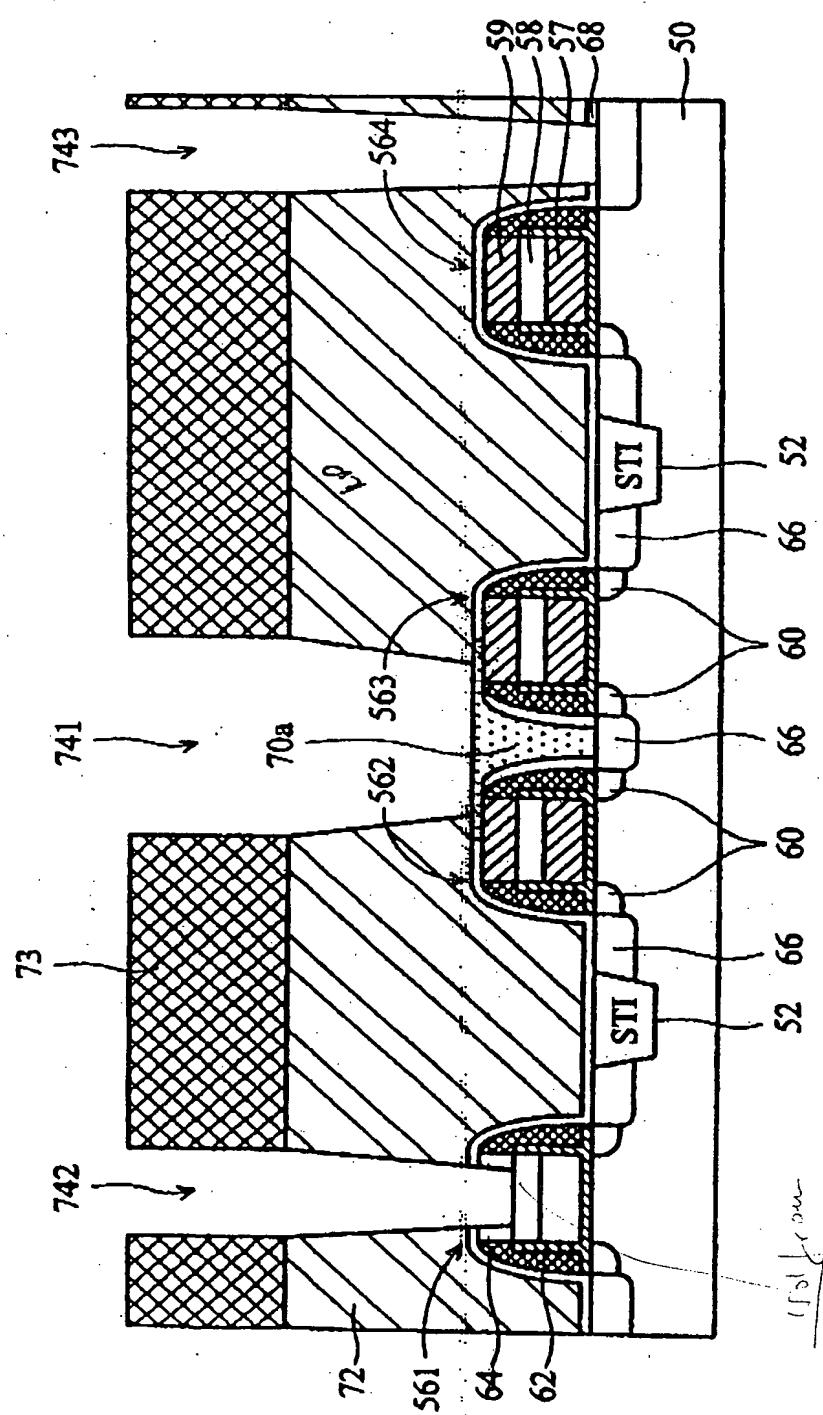


FIG. 2H

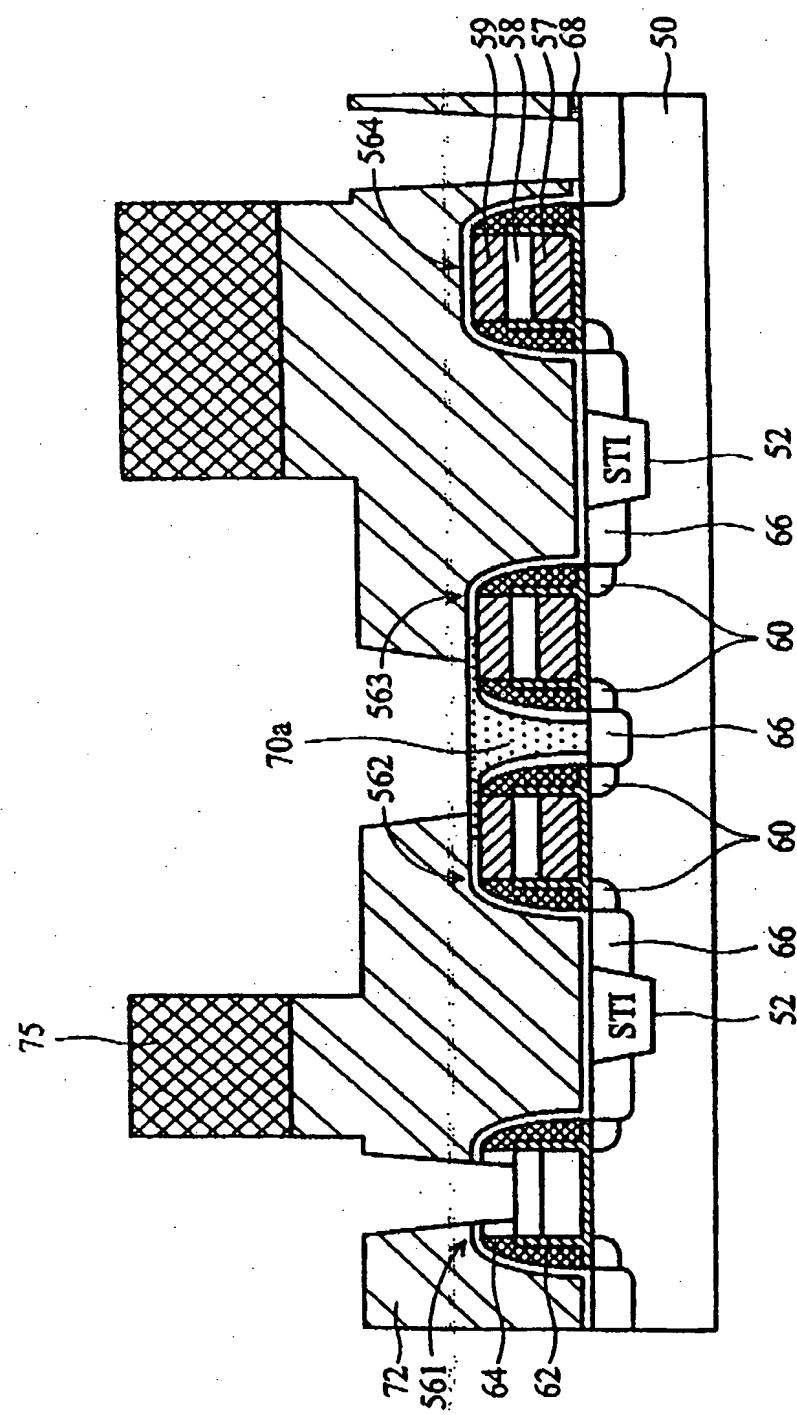


FIG. 2I

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.